

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264728

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H01L 27/105  
G11C 11/22  
G11C 14/00  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 07-091418

(71)Applicant : NEC CORP

(22)Date of filing : 24.03.1995

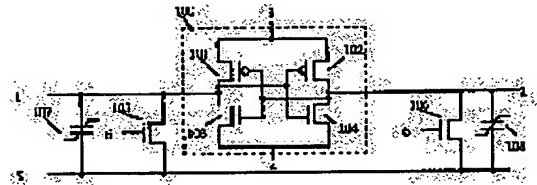
(72)Inventor : OTSUKI TETSUYA  
TAKADA TADAHIDE

## (54) NONVOLATILE MEMORY CELL

## (57)Abstract:

PURPOSE: To obtain a space saving ferroelectric nonvolatile memory cell suitable for nonvolatile storing the content of registers, or the like, in a processor.

CONSTITUTION: When power is turned ON, the potential difference between ferroelectric capacitors 107 and 108 is brought to zero by means of short circuit switches 105, 106 and then the potential of third control input 5 is increased. Consequently, the data stored in the ferroelectric capacitors 107 and 108 is read out in the form of potential difference and amplified through a flip-flop circuit 100. When power is turned OFF, the potential of third control input 5 is lowered and the potential difference of the flip-flop circuit 100 is written into the ferroelectric capacitors 107 and 108 and then the potential difference between the ferroelectric capacitors 107, 108 is brought to zero by means of the short circuit switches 105, 106.



## LEGAL STATUS

[Date of request for examination] 24.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2692641

[Date of registration] 05.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264728

(43) 公開日 平成8年(1996)10月11日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 27/105

H01L 27/10

441

G11C 11/22

G11C 11/22

14/00

11/34

352

A

H01L 21/8247

11/40

101

29/788

H01L 29/78

371

審査請求 有 請求項の数11 F D (全9頁) 最終頁に続く

(21) 出願番号

特願平7-91418

(22) 出願日

平成7年(1995)3月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大月 哲也

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 高田 正日出

東京都港区芝五丁目7番1号 日本電気株式会社内

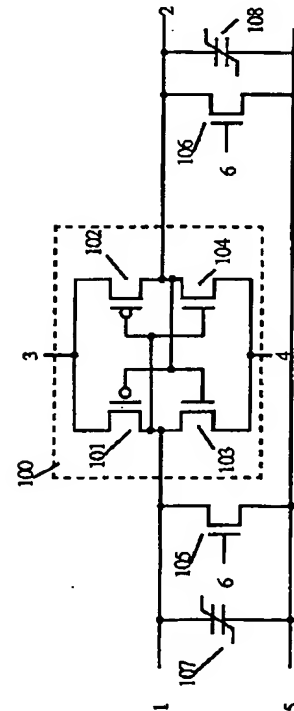
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 不揮発性メモリセル

(57) 【要約】

【目的】例えばプロセッサ中のレジスタ等の内容を不揮発で記憶するのに適した、省面積な強誘電体不揮発性メモリセルを提供する。

【構成】電源投入時には、短絡スイッチ105、106により強誘電体キャパシタ107、108間の電位差を共に零とした後、第3の制御入力5の電位を上昇させることにより、強誘電体キャパシタ107、108に記憶されていたデータを電位差として読みとり、フリップフロップ回路100で増幅する。電源切断時には、第3の制御入力5の電位を下げ、フリップフロップ回路100の電位差を強誘電体キャパシタ107、108に書き込んだ後、短絡スイッチ105、106により強誘電体キャパシタ107、108間の電位差を共に零とする。



## 【特許請求の範囲】

【請求項 1】第 1、第 2 の制御入力により駆動され、相補型の信号を出力する揮発性のメモリ回路と、前記メモリ回路の第 1、第 2 の入出力端子と第 3 の制御入力との間にそれぞれ接続された第 1、第 2 の強誘電体キャパシタと、

前記メモリ回路の前記第 1、第 2 の入出力端子と前記第 3 の制御入力との間にそれぞれ接続された第 1、第 2 のスイッチ素子と、

を含むことを特徴とする不揮発性メモリセル。

【請求項 2】前記メモリ回路が、

ソースを前記第 1 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した第 1 の P チャネル型トランジスタと、

ソースを前記第 1 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 2 の P チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した第 3 の N チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 4 の N チャネル型トランジスタと、

を備えたことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 3】前記第 1、第 2 の P チャネル型トランジスタが T F T からなることを特徴とする請求項 2 記載の不揮発性メモリセル。

【請求項 4】前記メモリ回路が、

ソースを前記第 1 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した第 1 の P チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 2 の P チャネル型トランジスタと、

前記第 2 の制御入力と前記第 1 の入出力端子との間に接続した第 1 の抵抗素子と、

前記第 2 の制御入力と前記第 2 の入出力端子との間に接続した第 2 の抵抗素子と、

を備えたことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 5】前記メモリ回路が、

前記第 1 の制御入力と前記第 1 の入出力端子との間に接続した第 1 の抵抗素子と、

前記第 1 の制御入力と前記第 2 の入出力端子との間に接続した第 2 の抵抗素子と、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した前記第 1 の N チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 2 の N チャネル型トランジスタと、を備えたことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 6】前記メモリ回路が、

ソースを前記第 1 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した第 1 の P チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 2 の P チャネル型トランジスタと、

前記第 2 の制御入力と前記第 1 の入出力端子との間に接続した第 1 のコンデンサと、

前記第 2 の制御入力と前記第 2 の入出力端子との間に接続した第 2 のコンデンサと、

を備えたことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 7】前記メモリ回路が、

前記第 1 の制御入力と前記第 1 の入出力端子との間に接続した第 1 のコンデンサと、

前記第 1 の制御入力と前記第 2 の入出力端子との間に接続した第 2 のコンデンサと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 1 の入出力端子に接続し、ゲートを前記第 2 の入出力端子に接続した第 1 の N チャネル型トランジスタと、

ソースを前記第 2 の制御入力に接続し、ドレインを前記第 2 の入出力端子に接続し、ゲートを前記第 1 の入出力端子に接続した第 4 の N チャネル型トランジスタと、

を備えたことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 8】前記コンデンサが強誘電体材料を含むことを特徴とする請求項 6 又は 7 記載の不揮発性メモリセル。

【請求項 9】電源投入時に、

(a) 前記第 1 の制御入力の電位を接地電位に設定し、前記第 2 の制御入力の電位を電源電位に設定することにより前記メモリ回路を非活性化し、

(b) 前記第 3 の制御入力の電位を第 1 の電位にプリチャージし、

(c) 前記第 1、第 2 のスイッチ素子を導通状態として、前記メモリ回路の第 1、第 2 の入出力端子の電位を前記第 3 の制御入力の電位と等しくし、

(d) 前記第 1、第 2 のスイッチ素子を非導通状態とし、

(e) 前記第 3 の制御入力の電位を第 1 の電位とは異なる第 2 の電位に設定して前記強誘電体キャパシタ間に電位差を生成し、前記第 1、第 2 の入出力端子上に、強誘電体の自発分極の状態の違いに起因する電位差を生じさせ、

(f) 前記第 1 の制御信号の電位を電源電位に設定し、前

10

20

30

40

50

記第 2 の制御信号の電位を接地電位に設定して前記メモリ回路を活性化し、前記第 1、第 2 の入出力端子の電位差を増幅して安定に出力し、前記強誘電体キャパシタに記憶されているデータを読み出すことを特徴とする請求項 1 記載の不揮発性メモリセル。

【請求項 1 0】電源切断時に、

(a) 前記第 1 の制御入力電位を電源電位に設定し、前記第 2 の制御入力電位を接地電位に設定することにより前記メモリ回路を活性化し、

(b) 前記第 3 の制御入力電位を前記第 2 の電位から前記第 1 の電位に変更し、

(c) 前記第 1 の制御入力電位を接地電位に設定し、前記第 2 の制御入力電位を電源電位に設定することにより前記メモリ回路を非活性化し、

(d) 前記第 1、第 2 のスイッチ素子を導通状態として、前記メモリ回路の前記第 1、第 2 の入出力端子の電位を前記第 3 の制御入力電位と等しくし、

前記メモリ回路の記憶データを前記強誘電体キャパシタに書き込むことを特徴とする不揮発性メモリセル。

【請求項 1 1】前記第 1 の電位が接地電位であり、前記第 2 の電位が電源電位であることを特徴とする請求項 9 又は 1 0 記載の不揮発性メモリセル。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、不揮発性メモリセル、特に強誘電体材料を用いた不揮発性メモリセルに関する。

【0 0 0 2】

【従来の技術】近年、PZT（ジルコンチタン酸鉛）等のヒステリシス特性を有する強誘電体材料をメモリセルに用い、電源を切断しても記憶を保持する機能を持つ不揮発性メモリが実現されている。このような不揮発性メモリのなかで、SRAM（スタティック・ランダムアクセスメモリ）タイプの揮発性メモリセルに強誘電体キャパシタを接続した構造を持つ不揮発性メモリセルが従来各種提案されている。

【0 0 0 3】メモリセルのノードに強誘電体キャパシタを接続した従来の不揮発性メモリセルとして、図 9 に、特開昭 64-66899 号公報に開示された不揮発性メモリセルの構成例を示す。これは、「Shadow RAM」と一般に称呼される回路である。

【0 0 0 4】図 9 において、7、8 はビット線、9 はワード線、10~14 はクロック入力信号である。101、102 は P チャネルトランジスタ、103、104 は N チャネルトランジスタであり、トランジスタ 101~104 はメモリセルのデータを記憶するフリップフロップ（CMOS 型スタティック RAM セル）を構成している。107、108 は強誘電体キャパシタ、109、110 はフリップフロップの内部ノードをビット線 7、8 に接続するアクセストランジスタ、11

1、112 は分離用トランジスタ、113、114 は短絡トランジスタである。なお、分離用トランジスタ 111、112 は通常動作時にオフ状態とされ、通常動作中メモリセル部の出力ノードに生じる電圧遷移は強誘電体キャパシタ 107、108 に直接伝達されない。

【0 0 0 5】図 1 0 に、特開平 5-242667 号公報に開示された強誘電体不揮発性メモリセルの構成例を示す。図 1 0 において、9 はワード線、10、11、12、13、14 はクロック入力信号、15、16 は 2 個のデータ入出力信号、17 はバストランジスタ 118 の入力信号、18 はバストランジスタ 118 の出力信号、115 は強誘電体不揮発性メモリセル、101、102 は P チャネル電界効果型トランジスタ、103、104 は N チャネル電界効果型トランジスタ、107、108 は強誘電体キャパシタ、109、110 はアクセストランジスタ、111、112 は分離用トランジスタ、113、114 は短絡トランジスタ、116、117 は常誘電体キャパシタ、118 は強誘電体不揮発性メモリセル 114 に接続されたバストランジスタである。

【0 0 0 6】図 1 0 の回路の場合、強誘電体不揮発性メモリセル 115 の出力ノードは、バストランジスタ 118 のゲートに接続されており、不揮発性メモリセル 115 の記憶内容によってバストランジスタ 118 のオン／オフが制御できる。このため、このような不揮発性メモリセルを利用することにより、通常電圧で書き換え可能な PLA（Programmable Logic Array）が実現できる。

【0 0 0 7】図 1 1 に、特開平 4-367120 号公報に開示された強誘電体不揮発性メモリセルの構成例を示す。図 1 1 において、6 は短絡制御信号、7、8 はビット線、9 はワード線、10、11、12、14 はクロック入力信号、101、102、103、104 はフリップフロップを構成するトランジスタ、119 は短絡トランジスタ、107、108 は強誘電体キャパシタ、109、110 はアクセストランジスタ、111、112 は分離用トランジスタである。この回路は、図 9、図 1 0 に示す回路から強誘電体キャパシタと接地電位間を短絡するトランジスタ 113、114 を取り除き、フリップフロップの出力ノード間を短絡するトランジスタ 119 を付加したものである。

【0 0 0 8】

【発明が解決しようとする課題】今後、例えばプロセッサ中のレジスタの内容を不揮発で記憶する場合、上記した強誘電体不揮発性メモリセルを利用することが考えられる。

【0 0 0 9】しかしながら、図 9 ~ 図 1 1 に示した強誘電体不揮発性メモリセルにおいては、アクセストランジスタ 109、110、分離用トランジスタ 111、112 等が必要とされるため、単位メモリセル当たりの面積が大きくなるという問題がある。

【0 0 1 0】従って本発明の目的は、上記問題点を解決し、より省面積な強誘電体不揮発性メモリセルを提供することにある。

10

20

30

40

50

## 【0011】

【課題を解決するための手段】前記目的を達成するため本発明は、第1、第2の制御入力により駆動され、相補型の信号を出力する揮発性のメモリ回路と、前記メモリ回路の第1、第2の入出力端子と第3の制御入力との間にそれぞれ接続された第1、第2の強誘電体キャパシタと、前記メモリ回路の前記第1、第2の入出力端子と前記第3の制御入力との間にそれぞれ接続された第1、第2のスイッチ素子と、を含むことを特徴とする不揮発性メモリセルを提供する。

【0012】本発明の不揮発性メモリセルにおいては、好ましくは、前記メモリ回路が、ソースを前記第1の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した第1のPチャネル型トランジスタと、ソースを前記第1の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第2のPチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した第3のNチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第4のNチャネル型トランジスタと、を備えたことを特徴とする。

【0013】本発明の不揮発性メモリセルにおいては、好ましくは、前記第1、第2のPチャネル型トランジスタがTFTからなる。

【0014】本発明の不揮発性メモリセルにおいては、好ましくは、前記メモリ回路は、ソースを前記第1の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した第1のPチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第2のPチャネル型トランジスタと、前記第2の制御入力と前記第1の入出力端子との間に接続した第1の抵抗素子と、前記第2の制御入力と前記第2の入出力端子との間に接続した第2の抵抗素子と、から構成してもよい。

【0015】本発明の不揮発性メモリセルにおいては、好ましくは、前記メモリ回路は、前記第1の制御入力と前記第1の入出力端子との間に接続した第1の抵抗素子と、前記第1の制御入力と前記第2の入出力端子との間に接続した第2の抵抗素子と、ソースを前記第2の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した前記第1のNチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第2のNチャネル型トランジスタと、から構成してもよい。

【0016】本発明の不揮発性メモリセルにおいては、好ましくは、前記メモリ回路は、ソースを前記第1の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した第1のPチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第2のPチャネル型トランジスタと、前記第2の制御入力と前記第1の入出力端子との間に接続した第1のコンデンサと、前記第2の制御入力と前記第2の入出力端子との間に接続した第2のコンデンサと、から構成してもよい。

【0017】本発明の不揮発性メモリセルにおいては、好ましくは、前記メモリ回路は、前記第1の制御入力と前記第1の入出力端子との間に接続した第1のコンデンサと、前記第1の制御入力と前記第2の入出力端子との間に接続した第2のコンデンサと、ソースを前記第2の制御入力に接続し、ドレインを前記第1の入出力端子に接続し、ゲートを前記第2の入出力端子に接続した第1のNチャネル型トランジスタと、ソースを前記第2の制御入力に接続し、ドレインを前記第2の入出力端子に接続し、ゲートを前記第1の入出力端子に接続した第2のNチャネル型トランジスタと、から構成してもよい。

【0018】本発明の不揮発性メモリセルにおいては、好ましくは、上記コンデンサが強誘電体材料から形成される。

【0019】本発明の不揮発性メモリセルにおいては、好ましくは、電源投入時に、(a)前記第1の制御入力の電位を接地電位に設定し、前記第2の制御入力の電位を電源電位に設定することにより前記メモリ回路を非活性化し、(b)前記第3の制御入力の電位を第1の電位にプリチャージし、(c)前記第1、第2のスイッチ素子を導通状態として、前記メモリ回路の第1、第2の入出力端子の電位を前記第3の制御入力の電位と等しくし、(d)前記第1、第2のスイッチ素子を非導通状態とし、(e)前記第3の制御入力の電位を第1の電位とは異なる第2の電位に設定して前記強誘電体キャパシタ間に電位差を生成し、前記第1、第2の入出力端子上に、強誘電体の自発分極の状態の違いに起因する電位差を生じさせ、(f)前記第1の制御信号の電位を電源電位に設定し、前記第2の制御信号の電位を接地電位に設定して前記メモリ回路を活性化し、前記第1、第2の入出力端子の電位差を増幅して安定に出力し、前記強誘電体キャパシタに記憶されているデータを読み出すことを特徴とする。

【0020】本発明の不揮発性メモリセルにおいては、好ましくは、電源切断時に、(a)前記第1の制御入力の電位を電源電位に設定し、前記第2の制御入力の電位を接地電位に設定することにより前記メモリ回路を活性化し、(b)前記第3の制御入力の電位を前記第2の電位から前記第1の電位に変更し、(c)前記第1の制御入力の電位を接地電位に設定し、前記第2の制御入力の電位を

電源電位に設定することにより前記メモリ回路を非活性化し、(d)前記第 1、第 2 のスイッチ素子を導通状態として、前記メモリ回路の前記第 1、第 2 の入出力端子の電位を前記第 3 の制御入力の電位と等しくし、前記メモリ回路の記憶データを前記強誘電体キャパシタに書き込むことを特徴とする。電源投入時、切断時において、前記第 1 の電位は好ましくは接地電位とされ、前記第 2 の電位は好ましくは電源電位とされる。

【0021】

【作用】本発明によれば、強誘電体不揮発性メモリセルから、アクセストランジスタ、分離用トランジスタを取り除くことにより、メモリセルの面積を前記従来例よりも小さなものとしている。そして、本発明においては、好ましくは、電源投入時にはスイッチ素子を短絡させて強誘電体キャパシタ間の電位差を共に零とした後、第 3 の制御入力の電位を上昇させることにより、強誘電体キャパシタに記憶されていたデータを電位差として読み取り、フリップフロップからなるメモリ回路で増幅する。また、電源切断時には、第 3 の制御入力の電位を下げ、フリップフロップ回路の電位差を強誘電体キャパシタに書き込んだ後、スイッチ素子により強誘電体キャパシタ間の電位差を共に零とする。

【0022】

【実施例】図面を参照して、本発明の実施例を以下に説明する。図 1 に本発明の一実施例の構成を示す。

【0023】図 1 において、1、2 は第 1、第 2 の 2 つの相補データ入出力信号、3 は第 1 の制御入力、4 は第 2 の制御入力、5 は第 3 の制御入力、6 は短絡制御信号、101、102 は P チャネル電界効果型トランジスタ、103、104 は N チャネル電界効果型トランジスタでありトランジスタ 101 ~ 104 はフリップフロップ回路 100 を構成している。105、106 は N チャネル電界効果型トランジスタ（「短絡スイッチ」ともいう）、107、108 は強誘電体キャパシタである。N チャネル電界効果型トランジスタ 105、106 はフリップフロップ回路 100 の入出力ノードと第 3 の制御入力 5 との間に強誘電体キャパシタ 107、108 に並列形態に接続され、ゲートに短絡制御信号が接続されている。

【0024】図 1 を参照して、本実施例のフリップフロップ回路 100 は、P チャネル電界効果型トランジスタ 101、102、N チャネル電界効果型トランジスタ 103、104 の 4 つのトランジスタから構成されているが、以下に示すような各種構成としてもよい。

【0025】例えば、図 2 に示すように、図 1 の P チャネル電界効果型トランジスタ 101、102 を T F T（薄膜トランジスタ）で構成してもよい。

【0026】また、図 2 に示すように、図 1 の N チャネル電界効果型トランジスタ 103、104 のかわりに 2 つの抵抗素子 120、121 を挿入してもよい。

【0027】さらに、図 3 に示すように、図 1 の P チャ

ネル電界効果型トランジスタ 101、102 のかわりに 2 つの抵抗素子 120、121 を挿入してもよい。

【0028】図 4 に示すように、図 1 の N チャネル電界効果型トランジスタ 103、104 のかわりに 2 つのコンデンサ 122、123 を挿入してもよい。

【0029】また、図 5 に示すように、P チャネル電界効果型トランジスタ 101、102 のかわりに 2 つのコンデンサ 122、123 を挿入してよい。なお、図 4、図 5 の回路中のコンデンサ 122、123 として P Z T 等の強誘電体材料を用いる場合もある。

【0030】次に、図 6 及び図 7 の波形図を参照して、図 1 に示す本実施例の動作を説明する。図 6 は、電源投入時の動作波形、図 7 は電源切断時の動作波形を示す波形図である。

【0031】本実施例の強誘電体不揮発性メモリセルにおいては、前記従来例で設けられていたアクセストランジスタ、分離用トランジスタは省かれており、強誘電体キャパシタ 107、108 からフリップフロップ回路 100 へのデータの転送、即ち不揮発性部分から揮発性部分へのロードは電源投入時に行われ、逆にフリップフロップ回路 100 から強誘電体キャパシタ 107、108 へのデータの転送、即ち揮発性部分から不揮発性部分へのリストアは電源切断時に行われる。

【0032】電源投入時、図 6 を参照して、期間 T 1 で、第 1 の制御入力 3 は接地電位、第 2 の制御入力 4 は電源電位、第 3 の制御入力 5 は接地電位、短絡制御信号 6 は電源電位に設定される。このとき、フリップフロップ回路 100 は非活性化され、2 つの出力 1、2 の差電位の増幅動作を行わない。

【0033】期間 T 2 で、短絡制御信号 6 の電位が N チャネル電界効果型トランジスタ 105、106 のしきい値電圧  $V_{th}$  を上回ると N チャネル電界効果型トランジスタ 105、106 は導通状態となり短絡スイッチとして作用し、フリップフロップ回路 100 の出力 1、2 はともに第 3 の制御入力 5 の電位（＝接地電位）に等しくされる。

【0034】期間 T 1、T 2 では、強誘電体キャパシタ 107、108 間にかかる電位差は、短絡スイッチの働きにより、最大でもしきい値電圧  $V_{th}$  に抑えられるため、強誘電体キャパシタ 107、108 に記憶された情報がこの間に破壊されることはない。

【0035】次に、期間 T 3 で、短絡制御信号 6 を低レベルに下げ、N チャネル電界効果型トランジスタ 105、106 を非導通状態とする。そして、第 3 の制御入力 5 を高レベル（＝電源電位）に上げる。

【0036】ここで、電源投入前に、強誘電体キャパシタ 107 にデータ“1”、強誘電体キャパシタ 108 にデータ“0”が記憶されているものとし、そのヒステリシス特性が図 8 に示されるようなものであると想定する。

【0037】この時、強誘電体キャパシタ 107 の分極は a から b に、強誘電体キャパシタ 108 の分極は c から b

に移動し、電荷 $Q_1$ 、 $Q_0$ に比例する電位 $V_1$ 、 $V_0$ がフリップフロップ回路100の出力1、2にそれぞれ読み出される。

【0038】期間T4で、第1の制御入力3を電源電位、第2の制御入力4を接地電位にすることにより、フリップフロップ回路100を活性化する。その結果、フリップフロップ回路100の2つの出力1、2の差電位が増幅され、強誘電体キャパシタ107、108に記憶されたデータのフリップフロップ回路100へのロードが完了する。

【0039】次に、図7を参照して、電源切断時の動作について説明する。

【0040】期間T5では、第1の制御入力3は電源電位、第2の制御入力4は接地電位に設定されているため、フリップフロップ回路100は活性化されている。

【0041】期間T6で、第3の制御入力3が電源電位から接地電位に下がり、強誘電体キャパシタ107の分極はbからdに、強誘電体キャパシタ108の分極はcからbに移動する(図8参照)。

【0042】期間T7で、第1の制御入力3が電源電位から接地電位に立ち下がり、第2の制御入力4が接地電位から電源電位に立ち上がる。この結果、フリップフロップ回路100は非活性化される。

【0043】期間T8で、短絡制御信号6が電源電位に立ち上がり、フリップフロップ回路100の出力1、2はともに第3の制御入力3の電位(=接地電位)に等しくされる。

【0044】この結果、強誘電体キャパシタ107の分極はdからaに移動し、強誘電体キャパシタ108の分極はbのままとされる。このため、強誘電体キャパシタ107にデータ“1”が、強誘電体キャパシタ108にデータ“0”が書き込まれ、フリップフロップ回路100から強誘電体キャパシタ107、108へのデータのリストアが完了する。

【0045】以上、本発明を上記実施例に即して説明したが、本発明は上記態様にのみ限定されず、本発明の原理に準ずる各種態様を含むことは勿論である。

【0046】

【発明の効果】以上説明したように、本発明の強誘電体不揮発性メモリセルを利用することにより、プロセッサ中のレジスタの内容を不揮発で記憶するための回路オーバーヘッドが従来よりも小さくできる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る不揮発性強誘電体メモリセルの回路構成を示す図である。

【図2】図1中のフリップフロップ回路100の第2の態様を示す図である。

【図3】図1中のフリップフロップ回路100の第3の態様を示す図である。

【図4】図1中のフリップフロップ回路100の第4の態様を示す図である。

【図5】図1中のフリップフロップ回路100の第5の態様を示す図である。

【図6】本発明の一実施例に係る不揮発性強誘電体メモリセルの電源投入時の動作波形を示す図である。

【図7】本発明の一実施例における不揮発性強誘電体メモリセルの電源切断時の動作波形を示す図である。

【図8】図1中の2つの強誘電体キャパシタのヒステリシス特性を説明する図である。

【図9】不揮発性強誘電体メモリセルの第1の従来例の構成を示す図である。

【図10】不揮発性強誘電体メモリセルの第2の従来例の構成を示す図である。

【図11】不揮発性強誘電体メモリセルの第3の従来例の構成を示す図である。

【符号の説明】

1、2 第1、第2の2つの相補データ入出力信号

3 第1の制御入力信号

4 第2の制御入力信号

5 第3の制御入力信号

6 短絡制御信号

7、8 ビット線

9 ワード線

10、11、12、13、14 クロック入力信号

15、16 データ入出力信号

17 パストランジスタ118の入力信号

18 パストランジスタ118の出力信号

100 フリップフロップ回路

101、102 Pチャネル電界効果型トランジスタ

103、104 Nチャネル電界効果型トランジスタ

105、106 短絡トランジスタ

107、108 強誘電体キャパシタ

109、110 アクセストランジスタ

111、112 分離用トランジスタ

113、114 短絡トランジスタ

116、117 常誘電体トランジスタ

118 パストランジスタ

119 短絡トランジスタ

120、121 抵抗素子

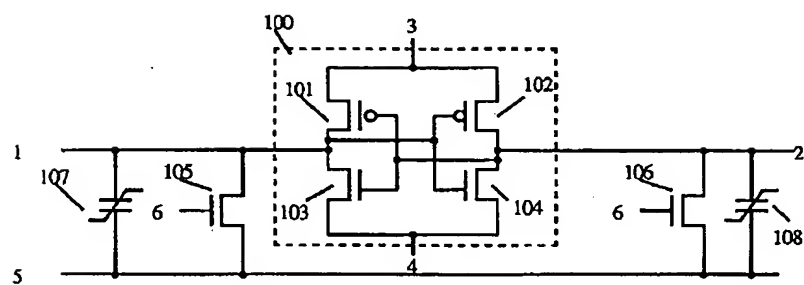
122、123 コンデンサ

$V_1$ 、 $V_0$  図1のNチャネル電界効果型トランジスタ105、106のしきい値電圧

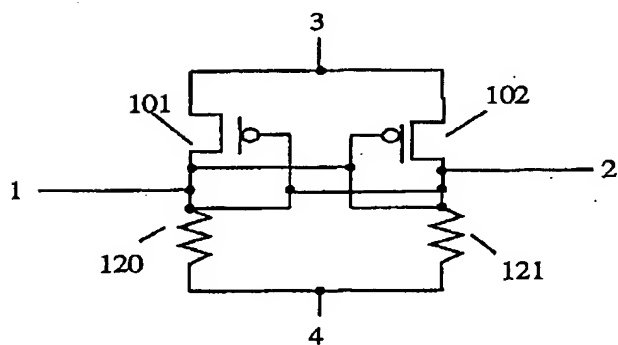
a、b、c、d 強誘電体キャパシタ105、106のヒステリシス・カーブにおける位置

$V_1$ 、 $V_0$  データ“1”、“0”に対応する強誘電体キャパシタ105、106からそれぞれ読み出される電位

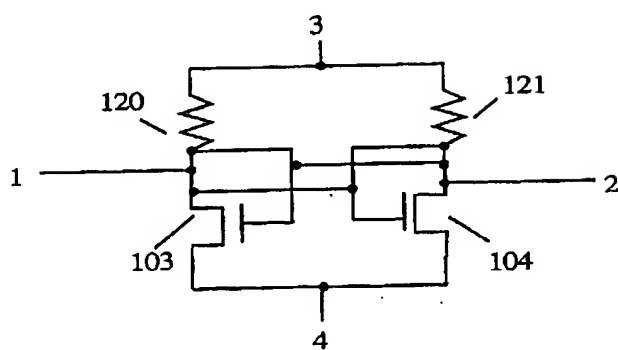
【図 1】



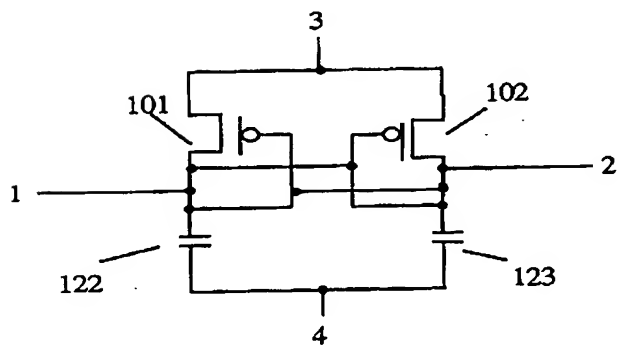
【図 2】



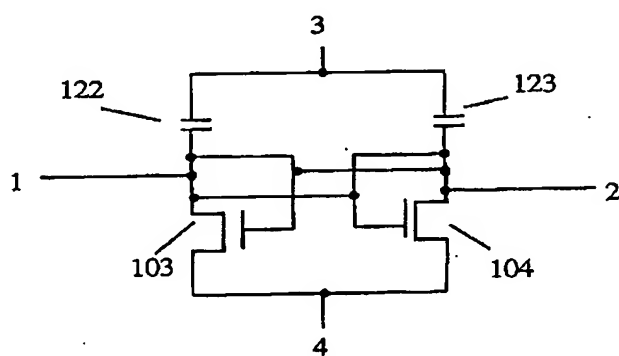
【図 3】



【図 4】

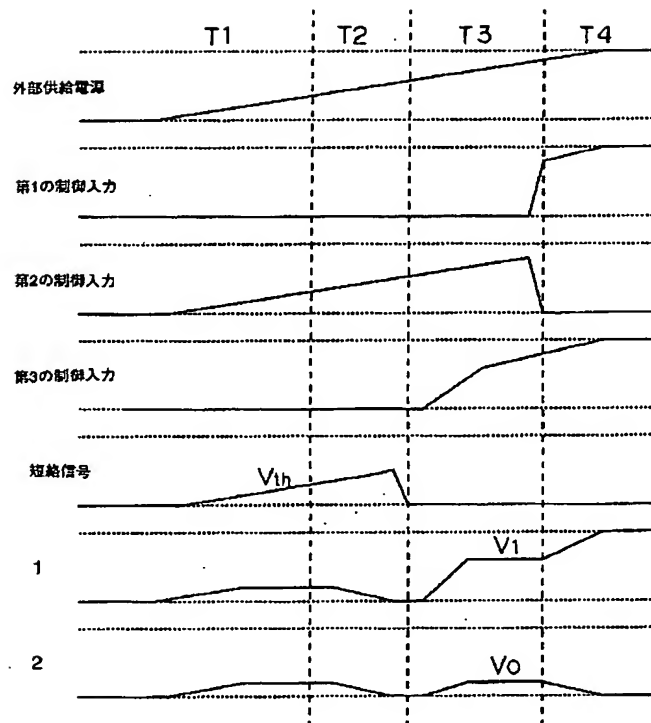


【図 5】

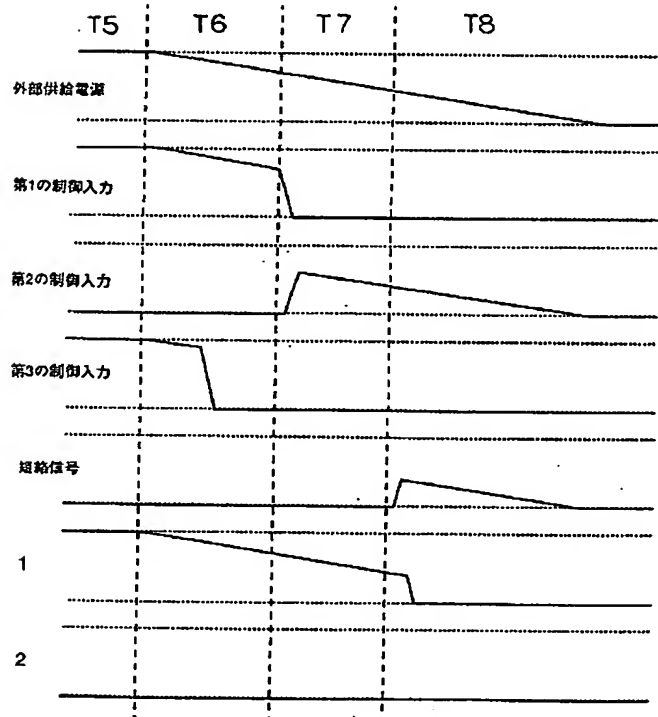




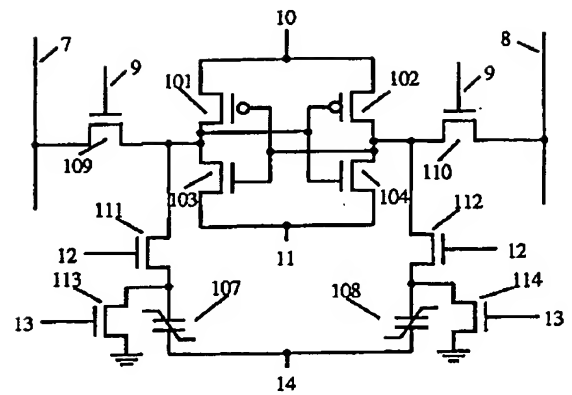
【図 6】



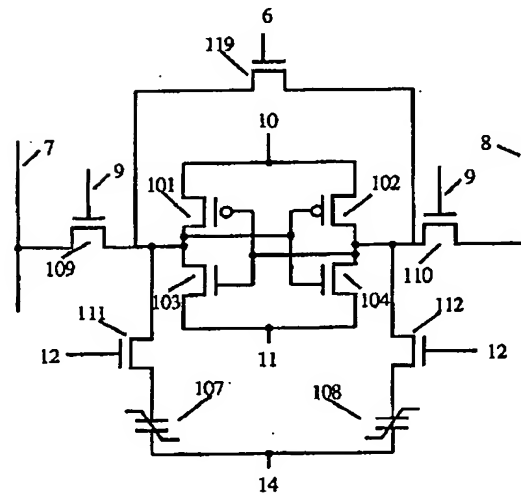
【図 7】



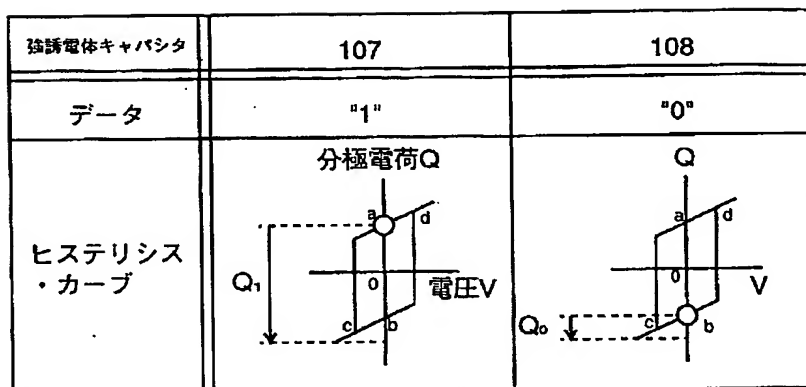
【図 9】



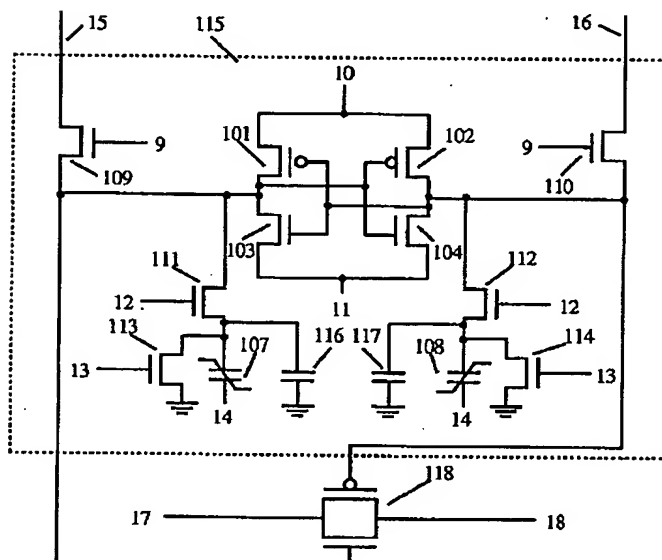
【図 11】



【図 8】



【図 10】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H 0 1 L 29/792

識別記号

庁内整理番号

F I

技術表示箇所